

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-284293

(43)Date of publication of application : 12.10.2001

(51)Int.Cl.

H01L 21/301

B24C 1/00

H01L 21/306

H01L 33/00

(21)Application number : 2000-099896

(71)Applicant : TOYODA GOSEI CO LTD

(22)Date of filing : 31.03.2000

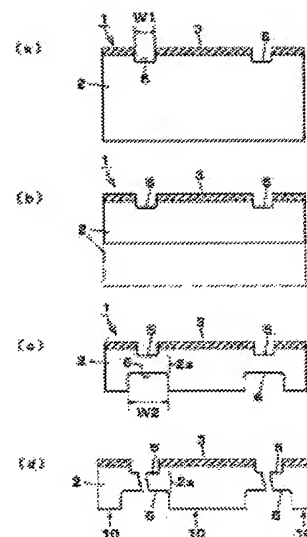
(72)Inventor : SATO TAKAO
OTA KOICHI
HASHIMURA MASAKI

(54) CHIP DIVISION METHOD FOR SEMICONDUCTOR WAFER

(57)Abstract:

PROBLEM TO BE SOLVED: To raise emitted light brightness by enlarging the area of a semiconductor layer on a semiconductor chip be divided and increase the number of obtained semiconductor chips.

SOLUTION: The method comprises a process for forming a relatively narrow first division groove 5 of a groove width W1 on the surface at a semiconductor layer formation side of a semiconductor wafer 1 by dicing, etching or blast, and a process for forming a relatively wide second division groove of a groove width W2 in a position corresponding to the first division groove 5 on a surface at a semiconductor layer non-formation side of the semiconductor wafer 1 by dicing.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2001-284293
(P2001-284293A)

(43) 公開日 平成13年10月12日 (2001. 10. 12)

(51) Int.Cl. ⁷	識別記号	F I	テームト* (参考)
H 0 1 L 21/301		B 2 4 C 1/00	Z 5 F 0 4 1
B 2 4 C 1/00		H 0 1 L 33/00	C 5 F 0 4 3
H 0 1 L 21/306		21/78	L
33/00		21/306	C
		21/78	H
審査請求 未請求 請求項の数 9 O L (全 6 頁) 最終頁に続く			

(21) 出願番号 特願2000-99896(P2000-99896)

(22) 出願日 平成12年3月31日 (2000. 3. 31)

(71) 出願人 000241463

豊田合成株式会社

愛知県西春日井郡春日町大字落合字長畑 1
番地

(72) 発明者 佐藤 孝夫

愛知県西春日井郡春日町大字落合字長畑 1
番地 豊田合成株式会社内

(72) 発明者 太田 光一

愛知県西春日井郡春日町大字落合字長畑 1
番地 豊田合成株式会社内

(74) 代理人 100096116

弁理士 松原 等

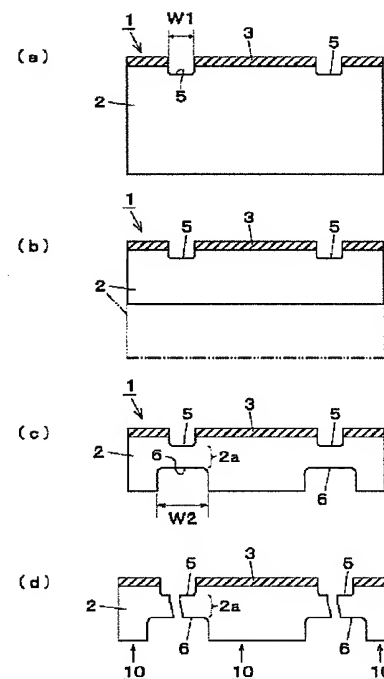
最終頁に続く

(54) 【発明の名称】 半導体ウェハのチップ分割方法

(57) 【要約】

【課題】 分割する半導体チップにおける半導体層の面積を増加させて発光輝度を高めたり、半導体チップの取れ数を増加させたりする。

【解決手段】 半導体ウェハ 1 の半導体層形成側の表面に相対的に溝幅 W 1 の狭い第一分割用溝 5 をダイシング、エッチング又はプラストにより形成する工程と、半導体ウェハ 1 の半導体層非形成側の表面であって第一分割用溝 5 に対応する位置に相対的に溝幅 W 2 の広い第二分割用溝をダイシングにより形成する工程とを含む。



【特許請求の範囲】

【請求項 1】 基板上に半導体層が形成されてなる半導体ウエハーを多数の半導体チップに分割する方法において、前記半導体ウエハーの半導体層形成側の表面に相対的に溝幅の狭い第一分割用溝をダイシング、エッチング又はプラストにより形成する工程と、前記半導体ウエハーの半導体層非形成側の表面であって前記第一分割用溝に対応する位置に相対的に溝幅の広い第二分割用溝をダイシングにより形成する工程とを含むことを特徴とする半導体ウエハーのチップ分割方法。

【請求項 2】 前記第二分割用溝の溝底に、第一分割用溝の溝幅 \leq 第三分割用溝の溝幅 $<$ 第二分割用溝の溝幅、の関係となる第三分割用溝をダイシングにより形成する工程を含む請求項 1 記載の半導体ウエハーのチップ分割方法。

【請求項 3】 前記第二分割用溝の溝断面形状が、幅方向の中央部が最も深い略 U 字状又は略 V 字状である請求項 1 記載の半導体ウエハーのチップ分割方法。

【請求項 4】 前記第一分割用溝の溝幅が、 $10 \sim 50 \mu m$ である請求項 1～3 のいずれか一項に記載の半導体ウエハーのチップ分割方法。

【請求項 5】 前記第二分割用溝の溝幅が、 $15 \sim 100 \mu m$ である請求項 1～4 のいずれか一項に記載の半導体ウエハーのチップ分割方法。

【請求項 6】 前記第一分割用溝は相対的に深さが小さく、前記第二分割用溝は相対的に深さが大きい請求項 1～5 のいずれか一項に記載の半導体ウエハーのチップ分割方法。

【請求項 7】 前記第一分割用溝と第二分割用溝との間に残る基板の残存部の厚さが、 $20 \sim 100 \mu m$ である請求項 1～6 のいずれか一項に記載の半導体ウエハーのチップ分割方法。

【請求項 8】 前記基板がモース硬度 8 以上の高硬度材料よりなる請求項 1～7 のいずれか一項に記載の半導体ウエハーのチップ分割方法。

【請求項 9】 前記基板がサファイア又は GaN よりなり、前記半導体層が窒化ガリウム系化合物半導体よりなる請求項 1～8 のいずれか一項に記載の半導体ウエハーのチップ分割方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、基板上に半導体層が形成されてなる半導体ウエハーを多数の半導体チップに分割する方法に関するものである。

【0002】

【従来の技術】半導体ウエハーを分割する方法としては、ウエハーにダイシングにより溝を形成したり又はスクライプによりスクライプラインを形成したりした後、プレーキングにより前記溝又はスクライプラインを起点とすると共にそれらに沿ってウエハーを割る方法が一般

的である。ダイシングとは、ダイサー（ダイシングソー）の回転刃とウエハーとを相対移動させてウエハーにダイシング溝を形成する方法である。スクライプとは、スクライパーの先鋭刃とウエハーとを相対移動させてウエハーにスクライプラインを形成する方法である。プレーキングとは、押圧刃や押圧ローラでウエハーを押圧して三点曲げを行うことによりウエハーを割る方法である。

【0003】高硬度材料（例えばサファイア、GaN 等）よりなる基板を用いた半導体ウエハーにおいては、浅いダイシング溝又はスクライプラインを形成しただけでは、プレーキングによりウエハーを割ることが困難なため、深くダイシングしたり、基板を大幅に薄肉化してからスクライプしたりする等の工夫を加えた後に、プレーキングする必要があった。例えば、サファイア基板の表面上に窒化ガリウム系化合物半導体が積層されたウエハーをチップ状に分割する方法としては、次の各方法が知られている。

【0004】（1）特許第 2765644 号公報に記載された方法は次の工程を含む。

- ① ダイサーにより窒化ガリウム系化合物半導体層の厚さよりも深く溝を切り込むダイシング工程
- ② サファイア基板の厚さを研磨により薄くする研磨工程
- ③ ダイシング工程で形成された溝の上からスクライパーによりサファイア基板にスクライプラインを入れるスクライプ工程
- ④ スクライプ工程の後、ウエハーをチップ状に分割する分割工程

【0005】（2）特許第 2780618 号公報に記載された方法は次の工程を含む。

- ① 窒化ガリウム系化合物半導体層側から第一の割り溝を所望のチップ形状で線状にエッチングにより形成すると共に、第一の割り溝の一部に電極が形成できる平面を形成する工程
- ② ウエハーのサファイア基板側から第一の割り溝の線と合致する位置で、第一の割り溝の線幅よりも細い線幅を有する第二の割り溝（スクライプが好ましい）を形成する工程
- ③ 第一の割り溝および第二の割り溝に沿って、ウエハーをチップ状に分割する工程

【0006】（3）特許第 2861991 号公報に記載された方法は次の工程を含む。

- ① ウエハーの窒化ガリウム系化合物半導体層側から第一の割り溝を所望のチップ形状で線状に（エッチングにより）形成すると共に、この第一の割り溝を窒化ガリウム系化合物半導体層を貫通してサファイア基板の一部を除く深さまで形成する工程
- ② ウエハーのサファイア基板側から第一の割り溝の線と合致する位置で、第一の割り溝の線幅よりも細い線幅

を有する第二の割り溝（スクライブが好ましい）を形成する工程

③ 第一の割り溝および第二の割り溝に沿って、ウェハーをチップ状に分割する工程

【0007】

【発明が解決しようとする課題】上記（１）のように、半導体層形成側から基板にまで至る溝をダイシングにより形成し、さらにその溝底にスクライバーによりスクライブラインを入れる方法では、溝にスクライブ刃が入るようにその溝の溝幅を大きくする必要がある。また、上記（２）（３）のように、半導体層形成側からの第一の割溝の線幅を、サファイア基板側からの第二の割り溝の線幅より広くするのは、第二の割り溝から発生する切断線が斜めに走っても半導体層にまで及ばないようにするためであり、従って、同公報の実施例では第一の割溝の線幅を $80\mu\text{m}$ と広くしている。このように半導体層形成側に形成する溝の溝幅を広くすると、分割する半導体チップにおける半導体層の面積が減少して発光輝度が低くなるという問題があり、また、その面積が減少しないようにすると半導体チップの取れ数が減少するという問題があった。

【0008】本発明の目的は、上記課題を解決し、分割する半導体チップにおける半導体層の面積を増加させて発光輝度を高めたり、半導体チップの取れ数を増加させたりすることができるとともに、プレーキングを容易化することもできる半導体ウェハーのチップ分割方法を提供することにある。

【0009】

【課題を解決するための手段】本発明は、基板上に半導体層が形成されてなる半導体ウェハーを多数の半導体チップに分割する方法において、半導体ウェハーの半導体層形成側の表面に相対的に溝幅の狭い第一分割用溝をダイシング、エッチング又はプラストにより形成する工程と、半導体ウェハーの半導体層非形成側の表面であって第一分割用溝に対応する位置に相対的に溝幅の広い第二分割用溝をダイシングにより形成する工程とを含むことを特徴とする。相対的に狭い又は広いとは、勿論、第一分割用溝の溝幅と第二分割用溝の溝幅との相対関係である。

【0010】ここで、「ダイシング」は、例えばダイヤモンド砥粒の付着した回転刃にて行う通常の方法でよい。「エッチング」としては、反応性イオンエッチング、イオンミリング、集束ビームエッチング、ECRエッチング等のドライエッチングや、硫酸とリン酸の混酸によるウェットエッチング等を例示でき、エッチング前に、半導体ウェハーの表面に格子状露出部を残すパターンの耐エッチング用マスクを形成する。「プラスト」は、例えばアルミナ、炭化珪素、ボロン、ダイヤモンド等よりなる平均粒子径 $10\sim 30\mu\text{m}$ の微粒子プラスト材をプラスト圧力 $0.2\sim 0.8\text{MPa}$ でプラストする方法を

例示でき、プラスト前に、半導体ウェハーの表面に格子状露出部を残すパターンの耐プラスト用マスクを形成する。高速でプラストされた微粒子プラスト材の持つ運動エネルギーが半導体層や基板の一部をミクロ的に削り取る作用を利用する方法である。

【0011】第二分割用溝の溝底に、第一分割用溝の溝幅 \leq 第三分割用溝の溝幅 $<$ 第二分割用溝の溝幅、の関係となる第三分割用溝をダイシングにより形成する工程を加えることもできる。

【0012】第二分割用溝の溝断面形状を、幅方向の中央部が最も深い略U字状又は略V字状とすることもできる。

【0013】第一分割用溝の溝幅は（前記相対関係を満たす限りにおいて）、 $10\sim 50\mu\text{m}$ が好ましく、 $20\sim 40\mu\text{m}$ がさらに好ましい。この溝幅が小さいと第一分割用溝の形成が困難になり、この溝幅が大きいと半導体層の面積又は取れ数の減少が顕著となる。

【0014】第二分割用溝の溝幅は（前記相対関係を満たす限りにおいて）、 $15\sim 100\mu\text{m}$ が好ましく、 $20\sim 50\mu\text{m}$ がさらに好ましい。この溝幅が小さいとダイサーの回転刃の寿命が短くなり（薄い回転刃ほど寿命が短い傾向がある）、この溝幅が大きいと半導体チップにおける基板の底面積が小さくなって機械的安定性が悪くなる。

【0015】第一分割用溝の深さ及び第二分割用溝の深さは、特に限定されないが、第一分割用溝は相対的に深さが小さく、第二分割用溝は相対的に深さが大きいことが好ましい。第一分割用溝の方が相対的に溝幅が狭く、ダイサーの回転刃として寿命が短い傾向がある薄い回転刃を使用するので、第一分割用溝はあまり深くしない方が好ましいからである。また、第二分割用溝の方が相対的に溝幅が広く、ダイサーの回転刃として寿命が長い傾向がある厚い回転刃を使用するので、第二分割用溝を深くしやすいからである。

【0016】そして、第一分割用溝と第二分割用溝との間に残る基板の残存部の厚さを、 $20\sim 100\mu\text{m}$ にすることが好ましく、 $20\sim 50\mu\text{m}$ にすることがさらに好ましい。本発明では、半導体ウェハーの半導体層形成側と半導体層非形成側の両側に分割用溝を形成するのでプレーキングを容易化できるが、この残存部の厚さを前記範囲とすることでプレーキングを最も容易化できる。

【0017】本発明は、基板の構成材料により限定されるものではないが、基板がモース硬度 8 以上の高硬度材料よりなるものである場合に特に有効である。例えば、基板がサファイア又は GaN よりなり、半導体層が窒化ガリウム系化合物半導体よりなる半導体ウェハーの分割に特に有効である。

【0018】

【発明の実施の形態】図 1～図 5 は、本発明の実施形態に係る半導体ウェハーのチップ分割方法を示している。

まず、分割する半導体ウェハー1について説明すると、図1(a)に示すように、同ウェハー1は、基板2とその表面上に形成された発光素子(発光ダイオード、レーザーダイオード等)を構成する半導体層3とからなり、同層3は主要層11~16と電極(図示略)とからなる。

【0019】基板2は、サファイアよりなり、平面寸法形状が例えば2インチ(約5cm)の正方形、厚さが350 μ m、半導体層を形成する表面がa面{11-20}のものである。但し、基板はこれに限定されず、材料(例えばGaNよりなる基板を用いる等)、平面寸法形状、厚さ、結晶面等を適宜変更できる。

【0020】主要層11~16は、いずれも有機金属気相成長法により形成された窒化ガリウム系化合物半導体(バッファ層はAlNであるがGaNでもよい)であり、まず基板2の上にAlNバッファ層11が形成され、同層11の上にSiドープn型GaNコンタクト層12が形成され、同層12の上にn型GaNクラッド層13が形成され、同層13の上にGaN障壁層とInGaN井戸層とが交互に積層された多重量子井戸構造の発光層14が形成され、同層14の上にMgドープp型AlGaNクラッド層15が形成され、同層15の上にMgドープp型GaNコンタクト層16が形成されている。主要層11~16全体の厚さは、特に限定されないが、例えば2~15 μ mである。

【0021】但し、主要層はこの構成に限定されず、各層の組成を変更したり、発光層を例えば単一量子井戸構造に変更したり、基板2をGaNにする場合にはバッファ層11を省いたり、レーザーダイオードの場合には共振構造を設けたりする等、適宜変更できる。

【0022】[第一実施形態]図2は上記半導体ウェハー1のチップ分割方法の第一実施形態を示し、次の工程により行う。

(1)図1(b)及び図2(a)に示すように、半導体ウェハー1の半導体層形成側の表面に溝幅W1が例えば約25 μ mの第一分割用溝5をダイシング、エッチング又はプラストにより形成する。分割する半導体チップの平面寸法形状は1辺約350 μ mの正方形であり、従って、第一分割用溝5はピッチ350 μ mの平面格子状配列で形成する。また、第一分割用溝5の深さは、半導体層3を全厚分除去し、さらに基板2における例えば約15 μ m深さにまで至るように形成する。

【0023】(2)図2(b)に示すように、厚さ350 μ mの基板2の半導体層非形成側の表面を研磨盤により研磨することにより、該基板2を一様に厚さ100 μ m程度にまで薄肉化する。

【0024】(3)図1(b)及び図2(c)に示すように、半導体ウェハー1の半導体層非形成側の表面であって前記第一分割用溝5に対応する位置に溝幅W2が例えば約50 μ mの第二分割用溝6をダイシングにより形

成する。第一分割用溝5と第二分割用溝6とは、それらの溝幅が一部でも重なっていればよいが、第一分割用溝5が第二分割用溝6の溝幅の範囲に収まることが好ましく、それらの溝幅方向の中央部が上下に略合致することがさらに好ましい。第二分割用溝6の深さは例えば約45 μ mであり、従って、第一分割用溝5と第二分割用溝6との間に残る基板2の残存部2aの厚さは約40 μ mとなる。

【0025】(4)図2(d)に示すように、半導体ウェハー1を基板2の残存部2aにおいてプレーキングにより割り、多数の半導体チップ10に分割する。

【0026】本実施形態のチップ分割方法によれば、次のような効果が得られる。

① 基板2の半導体層形成側に形成する第一分割用溝5の溝幅W1を、半導体層非形成側に形成する第二分割用溝6の溝幅W2より狭くするので、分割する半導体チップ10における半導体層3の面積を増加させて発光輝度を高めることができ、その面積を増加させない場合には半導体チップ10の取れ数を増加させることができる。

② 基板2の半導体層非形成側に形成する第二分割用溝6の溝幅W2を、半導体層形成側に形成する第一分割用溝5の溝幅W1より広くするので、第二分割用溝6を形成するダイサーの回転刃として、寿命が長い傾向がある厚い回転刃を使用することができる。これにより、第二分割用溝6の深さを大きくして、残存部2aの厚さを薄くしプレーキングを容易化できる。また、回転刃の交換サイクルが長くなり、交換の手間を削減でき、回転刃コストの低減を図ることもできる。

【0028】[第二実施形態]図3(a)に示す第二実施形態のチップ分割方法は、第一実施形態において第二分割用溝6の形成後であってプレーキングの前に、該第二分割用溝6の溝底に、第一分割用溝5の溝幅 \leq 第三分割用溝7の溝幅 $<$ 第二分割用溝6の溝幅の関係となる第三分割用溝7をダイシングにより形成する工程を加える点においてのみ、第一実施形態と相違している。図示例の第三分割用溝7は、溝幅W3が(第一分割用溝5の溝幅W1と略同一の)約25 μ mであり、深さが第二分割用溝6の溝底から例えば約20 μ mである。従って、基板2の残存部2aの厚さは約20 μ mとなる。

【0029】第二実施形態によれば、基板2の残存部2aの厚さがより薄くなるため、プレーキングをより容易化できるとともに、プレーキング時に発生する亀裂が(第二分割用溝6の溝幅より狭い)第三分割用溝7の溝幅の範囲内に収まって、極端に斜めに走ることがないという効果が得られる。

【0030】[第三、第四実施形態]図3(b)に示す第三実施形態のチップ分割方法は、第一実施形態において第二分割用溝6を形成する際に、該第二分割用溝6の溝断面形状を幅方向の中央部が最も深い略U字状とした点においてのみ、第一実施形態と相違している。同じく

10

20

30

40

50

図3(c)に示す第四実施形態のチップ分割方法は、第二分割用溝6の溝断面形状を幅方向の中央部が最も深い略V字状とした点においてのみ、第一実施形態と相違している。

【0031】第三、第四実施形態によれば、基板2の残存部2aの厚さが第二分割用溝6の幅方向の中央部で最も薄くなるため、プレーキング時の亀裂が該中央部において発生しやすいという効果が得られる。

【0032】なお、本発明は前記実施形態に限定されるものではなく、例えば以下のように、発明の趣旨から逸脱しない範囲で適宜変更して具体化することもできる。

(1) 半導体チップは発光素子に限定されず、例えば受光素子でもよい。

【0033】

【発明の効果】以上詳述した通り、本発明に係る半導体ウエハのチップ分割方法によれば、分割する半導体チップにおける半導体層の面積を増加させて発光輝度を高めたり、半導体チップの取れ数を増加させたりすることができるとともに、プレーキングを容易化することもできる、という優れた効果を奏する。

【図面の簡単な説明】

10

20

*

* 【図1】 (a) は本発明の実施形態で分割する半導体ウエハの断面図、(b) は該半導体ウエハに分割用溝を形成したときの平面図である。

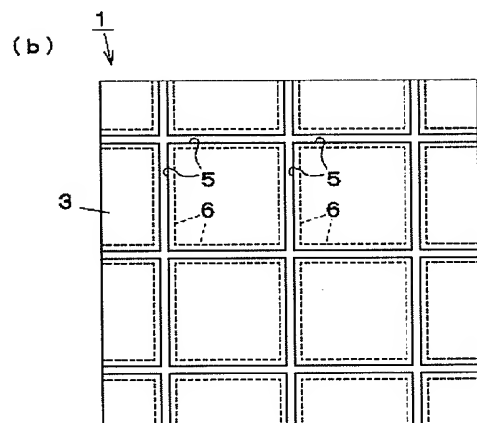
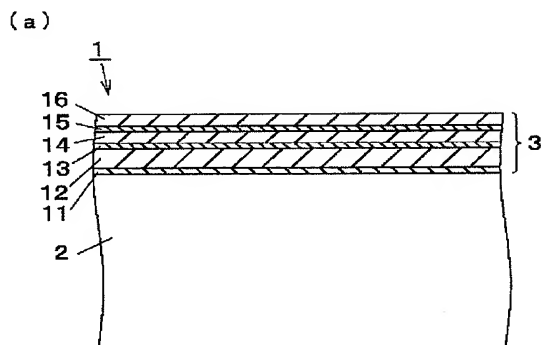
【図2】 第一実施形態のチップ分割方法を示す断面図である。

【図3】 (a) は第二実施形態のチップ分割方法の要点を示す断面図、(b) は第三実施形態のチップ分割方法の要点を示す断面図、(c) は第三実施形態のチップ分割方法の要点を示す断面図である。

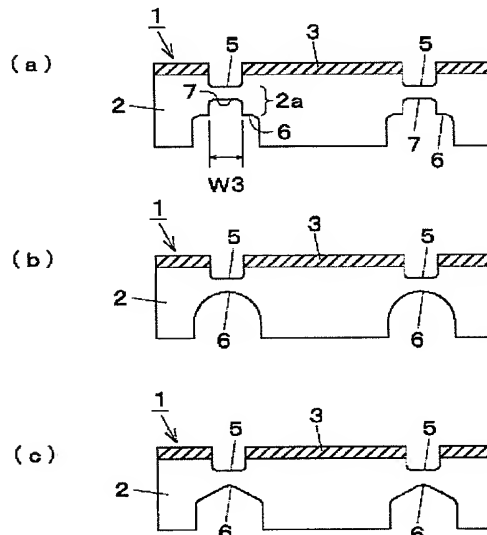
【符号の説明】

- 1 半導体ウエハ
- 2 基板
- 2a 残存部
- 3 半導体層
- 5 第一分割用溝
- 6 第二分割用溝
- 7 第三分割用溝
- W1 第一分割用溝の溝幅
- W2 第二分割用溝の溝幅
- W3 第三分割用溝の溝幅

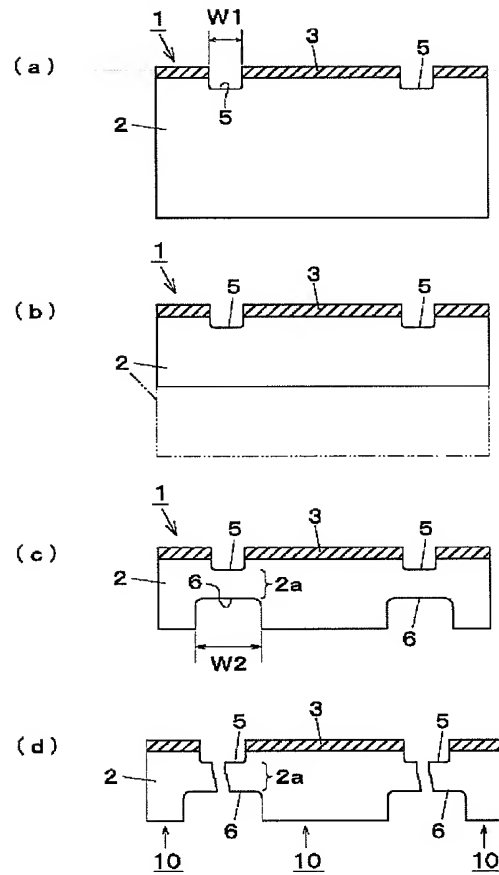
【図1】



【図3】



【図2】



フロントページの続き

(51) Int. Cl.⁷

識別記号

F I
H 0 1 L 21/78

テマコード (参考)

S
Q

(72) 発明者 橋村 昌樹
愛知県西春日井郡春日町大字落合字長畑 1
番地 豊田合成株式会社内

F ターム (参考) 5F041 AA04 AA41 CA04 CA05 CA34
CA40 CA46 CA76
5F043 AA16 AA30 DD30 FF01 GG01
GG10

*** NOTICES ***

JPO and INPIT are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.*** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1]In a method of dividing into many semiconductor chips a semiconductor wafer in which it comes to form a semiconductor layer on a substrate, A process of forming a narrow slot for the first division on the flute width by dicing, etching, or a blast relatively to the surface by the side of semiconductor layer formation of said semiconductor wafer, A chip split method of a semiconductor wafer including a process of being the surface by the side of semiconductor layer agensis of said semiconductor wafer, and forming a large slot for the second division on the flute width by dicing relatively to a position corresponding to said slot for the first division.

[Claim 2]A chip split method of the semiconductor wafer according to claim 1 including a process of forming a slot for the third division used as a relation of flute width ** of a slot for the flute width < second division of a slot for the flute width <= third division of a slot for the first division in a groove bottom of said slot for the second division by dicing.

[Claim 3]A chip split method of the semiconductor wafer according to claim 1 whose groove cross section shape of said slot for the second division has the shape of an abbreviated U character with the crosswise deepest center section, or the shape of an abbreviated V character.

[Claim 4]A chip split method of the semiconductor wafer according to any one of claims 1 to 3 whose flute width of said slot for the first division is 10-50 micrometers.

[Claim 5]A chip split method of the semiconductor wafer according to any one of claims 1 to 4 whose flute width of said slot for the second division is 15-100 micrometers.

[Claim 6]Said slot for the first division has the relatively small depth, and said slot for the second division is a chip split method of the semiconductor wafer according to any one of claims 1 to 5 with the large depth relatively.

[Claim 7]A chip split method of the semiconductor wafer according to any one of claims 1 to 6 whose thickness of a remaining part of a substrate which remains between said slot for the first division and a slot for the second division is 20-100 micrometers.

[Claim 8]A chip split method of the semiconductor wafer according to any one of claims 1 to 7 in which said substrate consists of a with a Mohs hardness [of eight or more] high hardness material.

[Claim 9]A chip split method of the semiconductor wafer according to any one of claims 1 to 8 in which said substrate consists of sapphire or GaN, and said semiconductor layer consists of a gallium nitride system compound semiconductor.

[Translation done.]

* NOTICES *

JPO and INPIT are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.*** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention]This invention relates to the method of dividing into many semiconductor chips the semiconductor wafer in which it comes to form a semiconductor layer on a substrate.

[0002]

[Description of the Prior Art]After forming a slot in a wafer by dicing or forming a scribe line by a scribe as a method of dividing a semiconductor wafer, it starts from said slot or a scribe line according to braking, and the method of breaking a wafer along with them is common. Dicing is the method of carrying out relative displacement of the rotary blade and wafer of a dicer (dicing saw), and forming a dicing groove in a wafer. A scribe is the method of carrying out relative displacement of the acute edge and wafer of a scriber, and forming a scribe line in a wafer. Braking is the method of breaking a wafer, by pressing a wafer with a press edge or a pressing roller, and performing three-point bending.

[0003]In the semiconductor wafer using the substrate which consists of high hardness materials (for example, sapphire, GaN, etc.), Only by forming a shallow dicing groove or scribe line, braking needed to be carried out, after adding the device of carrying out dicing deeply, or carrying out a scribe after carrying out the thinning of the substrate substantially, since it is difficult to break a wafer according to braking. For example, the following all directions method is known as a method of dividing into chip shape the wafer in which the gallium nitride system compound semiconductor was laminated on the surface of silicon on sapphire.

[0004](1) The method indicated in the patent No. 2765644 gazette includes the following process.

** The thickness of the dicing process ** silicon on sapphire which cuts a slot deeply by a dicer more deeply than the thickness of a gallium nitride system compound semiconductor layer by polish. The partitioning process which divides a wafer into chip shape after the scribing step ** scribing step which puts a scribe line into silicon on sapphire with a scriber from on the slot formed by the polishing process ** dicing process made thin [0005](2) The method indicated in the patent No. 2780618 gazette includes the following process.

** Form the first rate slot in a line by etching with desired chip shape from the gallium nitride system compound semiconductor layer side, and, In the position which agrees with the line of the first rate slot from the silicon-on-sapphire side of the process ** wafer which forms the flat surface which can form an electrode in a part of first rate slot. The process of dividing a wafer into chip shape along the rate slot of the process ** first and the second rate slot which form the second rate slot (a scribe is preferred) that has line width thinner than the line width of the first rate slot [0006](3) The method indicated in the patent No. 2861991 gazette includes the following process.

** Form the first rate slot with desired chip shape from the gallium nitride system compound semiconductor layer side of a wafer at a line (etching), and, In the position which agrees with the line of the first rate slot from the silicon-on-sapphire side of the process ** wafer which penetrates a gallium nitride system compound semiconductor layer, and is formed to the depth except a part of silicon on sapphire, this first rate slot. The process of dividing a wafer into chip shape along the rate slot of the process ** first and the second rate slot which form the second rate slot (a scribe is preferred) that has line width thinner than the line width of the first rate slot [0007]

[Problem(s) to be Solved by the Invention]It is necessary to form the slot even from the semiconductor layer formation side to a substrate by dicing like the above (1), and in the method of putting a scribe line into the groove bottom with a scriber further, it is necessary to enlarge the flute width of the slot so that a scribe edge may go into a slot. Making the line width of the first groove from the semiconductor layer formation side larger than the line width of the second rate slot from the silicon-on-sapphire side, as shown in the above (2) and (3), It is for making it not attain to even a semiconductor layer, even if the cutout line generated from the second rate slot runs aslant, therefore the line width of the first groove is made large with 80 micrometers in working example of the gazette. Thus, when the area of the semiconductor layer in the semiconductor chip which will be divided if the flute width of the slot formed in the semiconductor layer formation side is made large decreases, and there is a problem that light emitting luminance becomes low and the area was kept from decreasing, the semiconductor chip could be taken and there was a problem that a number decreased.

[0008]While making the area of the semiconductor layer in the semiconductor chip which the purpose of this invention solves an aforementioned problem and is divided increase, being able to take a semiconductor chip and being able to make a number to raise light emitting luminance or increase, It is in providing the chip split method of the semiconductor wafer which can also carry out facilitating of the braking.

[0009]

[Means for Solving the Problem]This invention is characterized by that a method of dividing into many semiconductor chips a semiconductor wafer in which it comes to form a semiconductor layer on a substrate comprises:

A process of forming a narrow slot for the first division on the flute width by dicing, etching, or a blast relatively to the surface by the side of semiconductor layer formation of a semiconductor wafer.

A process of being the surface by the side of semiconductor layer agenesis of a semiconductor wafer, and forming a large slot for the second division on the flute width by dicing relatively to a position corresponding to a slot for the first division.

Of course, it is the relative relation of a flute width of a slot for the first division, and a flute width of a slot for the second division relatively that it is narrow or large.

[0010]Here, a usual method of performing with a rotary blade to which a diamond abrasive grain adhered, for example may be sufficient as "dicing." As "etching", reactive ion etching, ion milling, Dry etching, such as converging beam etching and ECR etching, wet etching by mixed acid of sulfuric acid and phosphoric acid, etc. can be illustrated, and a mask for etching-proof of a pattern which leaves a lattice-like exposed part on the surface of a semiconductor wafer before etching is formed. The "blast" can illustrate a method of carrying out the blast of the particle abrasive with a mean particle diameter of 10-30 micrometers which consists of alumina, silicon carbide, boron, a diagram, etc., for example by the blast pressure 0.2 - 0.8MPa, Before a blast, a mask for blasts-proof of a pattern which leaves a lattice-like exposed part on the surface of a semiconductor wafer is formed. Kinetic energy which particle abrasive by which the blast was carried out at high speed has is the method of using an operation cutting off some of semiconductor layers or substrates in micro.

[0011]A process of forming a slot for the third division used as a relation of flute width ** of a slot for the flute width < second division of a slot for the flute width <= third division of a slot for the first division in a groove bottom of a slot for the second division by dicing can also be added.

[0012]Groove cross section shape of a slot for the second division can also be made into the shape of an abbreviated U character with the crosswise deepest center section, or the shape of an abbreviated V character.

[0013](As long as said relative relation is filled), as for a flute width of a slot for the first division, 10-50 micrometers is preferred, and its 20-40 micrometers are still more preferred. if formation of a slot for the first division will become difficult if this flute width is small, and this flute width is large -- area of a semiconductor layer -- or it can take and reduction in a number becomes remarkable.

[0014](As long as said relative relation is filled), as for a flute width of a slot for the second division, 15-100 micrometers is preferred, and its 20-50 micrometers are still more preferred. If this flute width is small, a life of a rotary blade of a dicer will become short (there is a short-life tendency as a thin rotary blade), if this flute width is large, an area of base of a substrate in a semiconductor chip will become small, and mechanical stability will worsen.

[0015]As for a slot for the second division, although a tooth depth for the first division and a tooth depth for the second division in particular are not limited, a slot for the first division has the relatively small depth, and it is preferred that the depth is relatively large. It is because it is more desirable for a direction of a slot for the first division to have a relatively narrow flute width, and not to make a slot for the first division not much deep since a thin rotary blade with a short-life tendency is used as a rotary blade of a dicer. It is because a direction of a slot for the second division has a relatively wide flute width, and a thick rotary blade with a long-life tendency is used as a rotary blade of a dicer, so it is easy to make a slot for the second division deep.

[0016]And it is preferred that thickness of a remaining part of a substrate which remains between a slot for the first division and a slot for the second division shall be 20-100 micrometers, and it is still more preferred to use 20-50 micrometers. In this invention, since a slot for division is formed in both sides by the side of semiconductor layer formation of a semiconductor wafer, and semiconductor layer agenesis, facilitating of the braking can be carried out, but facilitating of the braking can be most carried out by making thickness of this remaining part into said range.

[0017]Although not limited by component of a substrate, this invention is effective especially when a substrate is what consists of a with a Mohs hardness [of eight or more] high hardness material. For example, it is effective in especially division of a semiconductor wafer in which a substrate consists of sapphire or GaN, and a semiconductor layer consists of a gallium nitride system compound semiconductor.

[0018]

[Embodiment of the Invention]Drawing 1 - drawing 5 show the chip split method of the semiconductor wafer concerning the embodiment of this invention. First, when the semiconductor wafer 1 to divide is explained, as shown in drawing 1 (a), the wafer 1, It consists of the substrate 2 and the semiconductor layer 3 which constitutes the light emitting devices (a light emitting diode, a laser diode, etc.) formed on the surface. and the same layer 3 consists of the principal layers 11-16 and an electrode (graphic display abbreviation).

[0019]The surface in which the substrate 2 becomes from sapphire, plane size shape forms the square of 2 inches (about 5 cm) in, and thickness forms 350 micrometers and a semiconductor layer is a thing of a side {11-20}. However, a substrate is not limited to this but can change suitably material (for example, the substrate which consists of GaN(s) is used), plane size shape, thickness, a crystal face, etc.

[0020]The principal layers 11-16 are the gallium nitride system compound semiconductors (although a buffer layer is AlN, GaN may be sufficient as it) all formed of metal-organic chemical vapor deposition, AlN buffer layer 11 is first formed on the substrate 2, and the Si-dope n type GaN contact layer 12 is formed on the same layer 11, The n type GaN clad layer 13 is formed on the same layer 12, and the luminous layer 14 of the multiple quantum well structure by which the GaN barrier layer and the InGaIn well layer were laminated by turns is formed on the same layer 13, Mg-doped-p-type AlGaIn clad layer 15 is formed on the same layer 14, and Mg-doped-p-type GaN contact layer 16 is formed on the same layer 15. Although the thickness in particular of the 11 to principal layer 16 whole is not limited, it is 2-15 micrometers, for example.

[0021]However, a principal layer is not limited to this composition, but can be changed suitably, such as changing the

presentation of each class, or changing a luminous layer for example, into single quantum well structure, or excluding the buffer layer 11, in setting the substrate 2 to GaN, or establishing resonance structure in the case of a laser diode.

[0022][A first embodiment] Drawing 2 shows a first embodiment of the chip split method of the above-mentioned semiconductor wafer 1, and performs it by the following process.

(1) As shown in drawing 1 (b) and drawing 2 (a), the flute width W1 forms in the surface by the side of semiconductor layer formation of the semiconductor wafer 1 the slot 5 for the first division which is about 25 micrometers by dicing, etching, or a blast. The plane size shape of the semiconductor chip to divide is about 350 micrometers in one-side square, therefore the slot 5 for the first division is formed in pitch 350micrometer plane-lattice-like arrangement. The depth of the slot 5 for the first division removes the semiconductor layer 3 by overall thickness, and it forms it so that it may result even in the about 15-micrometer depth also in the substrate 2 further.

[0023](2) As shown in drawing 2 (b), carry out the thinning of this substrate 2 to about 100 micrometers in thickness uniformly by grinding the surface by the side of the 350-micrometer-thick semiconductor layer agenesi of the substrate 2 with a grinder.

[0024](3) As shown in drawing 1 (b) and drawing 2 (c), it is the surface by the side of the semiconductor layer agenesi of the semiconductor wafer 1, and the flute width W2 forms in the position corresponding to said slot 5 for the first division the slot 6 for the second division which is about 50 micrometers by dicing. Although those flute widths have just lapped also partly, as for the slot 5 for the first division, and the slot 6 for the second division, it is preferred that the slot 5 for the first division is settled in the range of the flute width of the slot 6 for the second division, and it is still more preferred that the center section of those flute width directions abbreviated-agrees up and down. As for the depth of the slot 6 for the second division, it is about 45 micrometers, therefore the thickness of the remaining part 2a of the substrate 2 which remains between the slot 5 for the first division and the slot 6 for the second division is set to about 40 micrometers.

[0025](4) As shown in drawing 2 (d), break the semiconductor wafer 1 according to braking in the remaining part 2a of the substrate 2, and divide it into many semiconductor chips 10.

[0026]According to the chip split method of this embodiment, the following effects are acquired.

** Since the flute width W1 of the slot 5 for the first division formed in the semiconductor layer formation side of the substrate 2 is made narrower than the flute width W2 of the slot 6 for the second division formed in the semiconductor layer agenesi side, When making the area of the semiconductor layer 3 in the semiconductor chip 10 to divide increase, and light emitting luminance can be raised and it does not make the area increase, the semiconductor chip 10 can be taken and a number can be made to increase.

[0027]** Since the flute width W2 of the slot 6 for the second division formed in the semiconductor layer agenesi side of the substrate 2 is made larger than the flute width W1 of the slot 5 for the first division formed in the semiconductor layer formation side, a thick rotary blade with a long-life tendency can be used as a rotary blade of the dicer which forms the slot 6 for the second division. By this, the depth of the slot 6 for the second division is enlarged, thickness of the remaining part 2a is made thin, and facilitating of the braking can be carried out. The replacement cycle of a rotary blade can become long, the time and effort of exchange can be reduced, and reduction of rotary blade cost can also be aimed at.

[0028][A second embodiment] the chip split method of a second embodiment shown in drawing 3 (a), In a first embodiment, are after formation of the slot 6 for the second division, and before braking, Only in the point of adding the process of forming the slot 7 for the third division used as the relation of the flute width of the slot 6 for the flute width < second division of the slot 7 for the flute width <= third division of the slot 5 for the first division in the groove bottom of this slot 6 for the second division by dicing, it is different from a first embodiment. Flute width W3 is about (it is the same in the flute width W1 of the slot 5 for the first division, and abbreviation) 25 micrometers, and the slot 7 for the third division of the example of a graphic display is about 20 micrometers in depth from the groove bottom of the slot 6 for the second division. Therefore, the thickness of the remaining part 2a of the substrate 2 is set to about 20 micrometers.

[0029]Since the thickness of the remaining part 2a of the substrate 2 becomes thinner according to a second embodiment, while being able to carry out facilitating of the braking more, The crack generated at the time of braking falls within the range of the flute width of the slot 7 for the third (narrower than flute width of slot 6 for the second division) division, and the effect of not running extremely aslant is acquired.

[0030][A third and fourth embodiment] When the chip split method of a third embodiment shown in drawing 3 (b) forms the slot 6 for the second division in a first embodiment, only in the point which made groove cross section shape of this slot 6 for the second division the shape of an abbreviated U character with the crosswise deepest center section, it is different from a first embodiment. Only in the point which made groove cross section shape of the slot 6 for the second division the shape of an abbreviated V character with the crosswise deepest center section, the chip split method of a fourth embodiment similarly shown in drawing 3 (c) is different from a first embodiment.

[0031]According to a third and fourth embodiment, since the thickness of the remaining part 2a of the substrate 2 becomes the thinnest in the center section of the cross direction of the slot 6 for the second division, the crack at the time of braking occurs in this center section, and the effect of **** is acquired.

[0032]This invention is not limited to said embodiment, as follows, for example in the range which does not deviate from the meaning of an invention, can be changed suitably and can also be materialized.

(1) A semiconductor chip may not be limited to a light emitting device, for example, a photo detector may be sufficient as it.

[0033]

[Effect of the Invention]According to the chip split method of the semiconductor wafer concerning this invention, as explained in full detail above. While making the area of the semiconductor layer in the semiconductor chip to divide increase, being able to take a semiconductor chip and being able to make a number to raise light emitting luminance or

increase, the outstanding effect that facilitating of the braking can also be carried out is done so.

[Translation done.]

*** NOTICES ***

JPO and INPIT are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.*** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1](a) is a top view when the sectional view of the semiconductor wafer divided by the embodiment of this invention and (b) form the slot for division in this semiconductor wafer.

[Drawing 2]It is a sectional view showing the chip split method of a first embodiment.

[Drawing 3]The sectional view in which (a) shows the main point of the chip split method of a second embodiment, the sectional view in which (b) shows the main point of the chip split method of a third embodiment, and (c) are the sectional views showing the main point of the chip split method of a third embodiment.

[Description of Notations]

- 1 Semiconductor wafer
- 2 Substrate
- 2a Remaining part
- 3 Semiconductor layer
- 5 The slot for the first division
- 6 The slot for the second division
- 7 The slot for the third division
- W1 Flute width of the slot for the first division
- W2 Flute width of the slot for the second division
- W3 Flute width of the slot for the third division

[Translation done.]